

Docket No.: WMP-IFT-679

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Mosam Noff Date: November 12, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/662,793
Applicant : Alfred Hesener
Filed : September 15, 2003

Docket No. : WMP-IFT-679
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 12 539.9, filed March 15, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

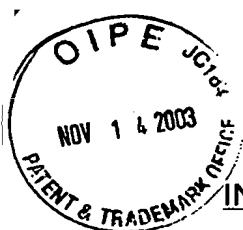
Respectfully submitted,

Mosam Noff
For Applicant

Date: November 12, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/662,793
Applicant : Alfred Hesener
Filed : September 15, 2003

Docket No. : WMP-IFT-679
Customer No. : 24131

ASSOCIATE POWER OF ATTORNEY

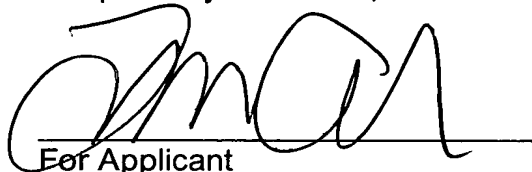
Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Please recognize MARKUS NOLFF (Reg. No. 37,006) as my associate in the matter in the above-identified application, with full powers. Please continue addressing all communications to the following address:

Lerner and Greenberg, P.A.
P.O. Box 2480
Hollywood, Florida 33022-2480

Respectfully submitted,



For Applicant

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: November 12, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 12 539.9

Anmeldetag: 15. März 2001

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Schaltwandler und Verfahren zur Ansteuerung
eines Schalters in einem Schaltwandler

IPC: H 02 M 3/28

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 16. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Faust

WESTPHAL, MUSSGNUG & PARTNER
Patentanwälte · European Patent Attorneys

ift679

Infineon Technologies AG
St.-Martin-Str.53

81541 München

- Patentanmeldung -

Schaltwandler und Verfahren zur Ansteuerung eines Schalters in
einem Schaltwandler

Beschreibung

Schaltwandler und Verfahren zur Ansteuerung eines Schalters in einem Schaltwandler

5

Die vorliegende Erfindung betrifft einen Schaltwandler und ein Verfahren zur Ansteuerung eines Schalters in einem Schaltwandler.

- 10 Schaltwandler weisen allgemein einen Schalter und eine an den Schalter angeschlossene Gleichrichteranordnung auf, wobei die Gleichrichteranordnung Ausgangsklemmen zur Bereitstellung ei-
- 15 ner Ausgangsspannung aufweist. Der allgemeine Aufbau unterschiedlicher Schaltwandler ist beispielsweise in Tietze, Schenk: "Halbleiterschaltungstechnik", 9. Auflage, Springer Verlag, Berlin, 1991, Seiten 561-576 oder Stengl, Tihanyi: "Leistungs-MOS-FET-Praxis", 2. Auflage, Pflaum Verlag, 2. Auflage, 1992, Seiten 173-176 beschrieben. Den verschiedenen
- 20 Wandlerkonzepten ist gemeinsam, dass die Gleichrichteranordnung über den Schalter an eine Versorgungsspannung angeschlossen ist, wobei es Aufgabe des Schaltwandlers ist, eine wenigstens annäherungsweise lastunabhängige Ausgangsspannung zur Verfügung zu stellen. Die Ausgangsspannung, bzw. die Leistungsaufnahme und die Leistungsabgabe sind durch ein ge-
- 30 taktetes Öffnen und Schließen des Schalters regelbar.

- Bei festgetakteten Schaltwandlern wird der Schalter in festen Zeitabständen geschlossen, die Dauer, während der der Schalter nach dem Schließen geschlossen bleibt, ist dabei von der
- 30 Leistungsaufnahme der Last bzw. von der Ausgangsspannung abhängig. Bei steigender Leistungsaufnahme sinkt die Ausgangsspannung zunächst ab, wobei die Dauer der Ansteuerimpulse vergrößert wird, um mehr Leistung aufzunehmen und an die Last abzugeben und so einem weiteren Absinken der Ausgangsspannung
- 35 entgegenzuwirken. Bei kleinen Lasten bleibt der Schalter nur für sehr kurze Zeit geschlossen, wobei die Schaltverluste überproportional ansteigen. Es sind daher aufwendige Zusatz-

schaltungen erforderlich, die bei kleinen Lasten den Schalter derart ansteuern, dass die Schaltverluste klein bleiben.

Bei freischwingenden Schaltwandlern ist die Taktfrequenz mit der der Schalter geöffnet und geschlossen wird, von der durch eine Last aufgenommenen Leistung abhängig. Üblicherweise ist bei solchen Schaltwandlern dem Schalter eine Primärspule eines Transformators nachgeschaltet, die bei geschlossenem Schalter Energie aufnimmt und bei anschließend geöffnetem Schalter die gespeicherte Energie an eine induktiv mit der Primärspule gekoppelte Sekundärspule und über einen an die Sekundärspule angeschlossenen Gleichrichter an die Last abgibt. Für die Ansteuerung des Schalters ist es bekannt, den Schalter nach dem Öffnen dann wieder einzuschalten, wenn die dem Schalter nachgeschaltete Spule ihre Energie abgegeben hat. Bei Lasten mit kleiner Leistungsaufnahme bleibt der Schalter jeweils nur kurz geschlossen, was zur Folge hat, dass die pro Einschaltvorgang aufgenommene Energie klein und die Dauer der Energieabgabe an die Sekundärseite entsprechend kurz ist. Hieraus resultiert eine hohe Schaltfrequenz mit steigenden Schaltverlusten. Auch bei freischwingenden Schaltwandlern sind daher aufwendige Zusatzschaltungen erforderlich, um die Schaltverluste bei kleinen Lasten zu begrenzen. Ein freischwingendes Schaltnetzteil mit einer solchen Zusatzschaltung ist beispielsweise in der 197 32 169 A1 beschrieben.

Ziel der vorliegenden Erfindung ist es daher, einen Schaltwandler zur Verfügung zu stellen, bei dem eine Spannungsversorgung auch von kleinen Lasten möglich ist, ohne dass aufwendige Zusatzschaltungen zur Verhinderung eines Anstiegs der Verlustleistung erforderlich sind. Ziel der Erfindung ist es des weiteren ein Verfahren zur Ansteuerung eines Schalters in einem Schaltwandler zur Verfügung zu stellen, bei welchem ein Ansteigen der Verlustleistung bei Lasten mit kleiner Leistungsaufnahme verhindert wird.

Diese Ziele werden durch einen Schaltwandler gemäß den Merkmalen des Anspruchs 1 und ein Verfahren gemäß den Merkmalen des Anspruchs 11 gelöst.

- 5 Der erfindungsgemäße Schaltwandler weist einen Schalter mit einem Steueranschluss und einem ersten und zweiten Lastanschluss, eine an den Schalter angeschlossene Gleichrichteranordnung mit Ausgangsklemmen, an denen eine Ausgangsspannung für eine Last zur Verfügung steht, eine Regleranordnung, die
10 ein von der Ausgangsspannung abhängiges Regelsignal bereitstellt, und eine Ansteuerschaltung, die Ansteuerimpulse bereitstellt, nach deren Maßgabe der Schalter leitet oder sperrt, auf. Die Ansteuerschaltung erzeugt dabei gleiche Ansteuerimpulse, das heißt Ansteuerimpulse von gleicher Form
15 und Dauer, deren Häufigkeit von dem Regelsignal abhängig ist. Die Häufigkeit ist ein Maß dafür, wie viele Ansteuerimpulse pro Zeiteinheit erzeugt werden.

- Der minimale zeitliche Abstand zwischen zwei aufeinanderfolgenden Ansteuerimpulsen und damit die maximale Schaltfrequenz des Schalters ist dabei fest vorgegeben und so gewählt, dass die bei der maximalen Schaltfrequenz auftretende Verlustleistung den jeweiligen Anforderungen, beispielsweise im Hinblick auf die zur Verfügung stehenden Kühlmöglichkeiten gerecht
20 wird.

- Die Ansteuerschaltung weist eine Vergleichieranordnung auf, die in periodischen Zeitabständen nach Maßgabe eines Taktsignals das Regelsignal mit einem Referenzsignal vergleicht und
30 abhängig von diesem Vergleich einen Ansteuerimpuls erzeugt oder nicht erzeugt. Die Periodendauer dieses Taktsignals bestimmt den minimalen zeitlichen Abstand zwischen zwei Ansteuerimpulsen.

- 35 Das Regelsignal ist gemäß einer Ausführungsform so gewählt, dass es mit sinkender Ausgangsspannung zunimmt. Übersteigt das Regelsignal infolge eines Absinkens der Ausgangsspannung

zu einem der periodisch wiederkehrenden Vergleichszeitpunkte das Referenzsignal so erzeugt die Ansteuerschaltung einen Ansteuerimpuls, wodurch der Schaltwandler Energie über die Versorgungsspannung aufnimmt und an die Last abgibt. Die pro
5 Einschaltvorgang aufgenommene Energie ist bei dem erfindungsgemäßen Schaltnetzteil jeweils gleich und von der Dauer des Einschaltvorgangs und der Versorgungsspannung abhängig. Eine Energieaufnahme über die Versorgungsspannung findet bei dem erfindungsgemäßen Schaltwandler nur in diskreten Energiemengen statt. Die maximal aufnehmbare Leistung ist dabei von dem
10 minimalen Zeitabstand zweier Ansteuerimpulse bzw. von der Periodendauer des Taktsignals, nach dessen Maßgabe ein Vergleich zwischen dem Referenzsignal und dem Regelsignal erfolgt, abhängig.

15 Zur Bildung des Regelsignals aus der Ausgangsspannung oder aus einem zu der Ausgangsspannung proportionalen Signal weist der Schaltwandler eine Regleranordnung auf, die vorzugsweise einen Proportional-Integral-Regler aufweist. Die Regleranordnung bildet das Regelsignal vorzugsweise aus einem Differenzsignal aus der Ausgangsspannung, bzw. einem zu der Ausgangsspannung proportionalen Signal, und einem Referenzsignal, wobei das Differenzsignal mit sinkender Ausgangsspannung zunimmt. Die Regleranordnung ist vorzugsweise so ausgebildet,
20 dass das Regelsignal einen Signalanteil aufweist, der durch Integration des Differenzsignals gebildet ist. Die Ausgangsspannung unterliegt aufgrund der Energieaufnahme des Schaltwandlers in diskreten gleich großen Energiepaketen Schwankungen, die durch die Integration des Differenzsignals ausgeglichen werden, um eine Rückkopplung dieser Schwankungen in dem
30 Regelkreis zu verhindern.

Die Ansteuerung des Schalters nach dem erfindungsgemäßen Konzept ist nicht auf spezielle Arten von Schaltwandlern be-
35 schränkt. Eine Ansteuerschaltung zur Ansteuerung des Schalters nach dem erfindungsgemäßen Verfahren ist mit vergleichs-

weise niedrigem Schaltungsaufwand realisierbar und daher vorteilhaft bei einer Vielzahl von Anwendungen einsetzbar.

Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. In den Figuren zeigt

Figur 1 ein erstes Ausführungsbeispiel eines erfindungsgemäßen Schaltwandlers mit einem Schalter, einer an den Schalter angeschlossenen Gleichrichteranordnung, einer Regleranordnung und einer Ansteuerschaltung,

Figur 2 zeitliche Verläufe ausgewählter Signale in dem Schaltwandler gemäß Figur 1,

Figur 3 Ausführungsbeispiel einer Ansteuerschaltung,

Figur 4 zeitliche Verläufe ausgewählter Signale bei einer Ansteuerschaltung gemäß Figur 3,

Figur 5 Ausführungsbeispiel einer Regleranordnung,

Figur 6 weiteres Ausführungsbeispiel einer Regleranordnung, die ein Noise-Shaping-Filter aufweist,

Figur 7 weiteres Ausführungsbeispiel eines erfindungsgemäßen Schaltwandlers.

In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Bauelemente und Signale mit gleicher Bedeutung.

Figur 1 zeigt ein erstes Ausführungsbeispiel eines erfindungsgemäßen Schaltwandlers, der eine annäherungsweise lastunabhängige Ausgangsspannung U_{out} aus einer Eingangsspannung U_{in} zur Verfügung stellt. Der Schaltwandler weist einen als

Leistungstransistor ausgebildeten Schalter T1 auf, der in Reihe zu einer Primärspule L1 eines Transformators TR an eine Eingangsspannung U_{in} zwischen einer Klemme für Versorgungspotential und einer Klemme für Bezugspotential M angeschlossen ist. Die Primärspule L1 ist induktiv mit einer Sekundärspule L2 gekoppelt, wobei der Sekundärspule L2 ein Gleichrichter, der in dem Ausführungsbeispiel aus einer Reihenschaltung einer Diode D1 und einem Kondensator C1 besteht, nachgeschaltet ist. Eine Ausgangsspannung U_{out} ist an Ausgangsklemmen AK1, AK2 an dem Kondensator C1 abgreifbar. An die Ausgangsklemmen AK1, AK2 ist eine Last RL anschließbar, die in dem Ausführungsbeispiel als ohmscher Widerstand dargestellt ist. Die Anordnung mit dem Transformator TR, und dem Gleichrichter, bildet allgemein eine Gleichrichteranordnung GL1, die in Reihe zu dem Leistungstransistor T1 an die Versorgungsspannung U_{in} angeschlossen ist.

Die Primärspule L1 nimmt bei leitendem Leistungstransistor T1 Energie auf und gibt diese anschließend bei sperrendem Leistungstransistor T1 über die Sekundärspule L2 und den Gleichrichter D1, C1 an die Last RL ab.

Zur Ansteuerung des Leistungstransistors T1 ist eine Ansteuererschaltung AS1 vorgesehen, die Ansteuerimpulse AI nach Maßgabe eines Regelsignals RS erzeugt. Der Leistungstransistor T1 leitet nach Maßgabe der Ansteuerimpulse AI, wobei diese Ansteuerimpulse in dem Ausführungsbeispiel gemäß Figur 1 dem Gate-Anschluss G des Leistungstransistors T1 direkt zugeführt sind.

Das Regelsignal RS wird von einer Regleranordnung RA1 abhängig von der Ausgangsspannung U_{out} erzeugt. Der Regleranordnung RA1 wird hierzu ein Ausgangsspannungssignal US zugeführt. Zur Bereitstellung dieses Ausgangsspannungssignals US ist ein Optokoppler OK mit einer Leuchtdiode und einem Photowiderstand PT vorgesehen, wobei die Leuchtdiode LED in Reihe zu einem Widerstand R1 zwischen die Ausgangsklemmen AK1, AK2

der Gleichrichteranordnung GL1 geschaltet ist. Die Kollektor-Emitter-Strecke des Phototransistors in Reihe zu einem Widerstand R2 zwischen ein Versorgungspotential V2 und Bezugspotential M geschaltet. Das zu der Ausgangsspannung Uout proportionale Ausgangsspannungssignal US stellt eine Spannung gegen Bezugspotential M dar, die an dem Kollektor des Phototransistors PT abgreifbar ist.

Die Regleranordnung RA1 ist derart ausgebildet, dass sie ein Regelsignal RS zur Verfügung stellt, welches mit sinkender Ausgangsspannung Uout ansteigt. Der Aufbau einer solchen Regleranordnung RA1 wird anhand der Figuren 5 und 6 noch erläutert werden.

Die Ansteuerschaltung AS1 zur Erzeugung der Ansteuerimpulse AI abhängig von dem Regelsignal RS weist eine getaktete Vergleichieranordnung K1 auf, deren einem Eingang das Regelsignal RS und deren anderem Eingang eine Referenzspannung Vref zugeführt ist. Die Funktionsweise einer solchen getakteten Vergleichieranordnung K1 wird nachfolgend anhand von Figur 2 erläutert.

Figur 2 zeigt beispielhaft einen zeitlichen Verlauf des Regelsignals RS, welches in dem Beispiel um das konstante Referenzspannungssignal Vref schwankt. Figur 2 zeigt des Weiteren den zeitlichen Verlauf eines Taktsignals CLK sowie den zeitlichen Verlauf eines Ansteuerimpulse AI aufweisenden Ansteuerersignals für den Leistungstransistor T1.

Die Vergleichieranordnung K1 vergleicht in periodischen Zeitabständen, welche in dem Beispiel durch steigende Flanken des Taktsignals CLK vorgegeben sind, das Regelsignal RS mit dem Referenzspannungssignal Vref. Ist das Regelsignal RS dabei größer als das Referenzspannungssignal Vref, wie dies zwischen den Zeitpunkten t0 und t1 und den Zeitpunkten t2 und t3 der Fall ist, so erzeugt die Vergleichieranordnung mit jeder steigenden Flanke eines Taktimpulses, bei welchem das Regel-

signal RS größer als das Referenzsignal Vref ist, einen Ansteuerimpuls, wobei die Dauer der Ansteuerimpulse AI in dem Ausführungsbeispiel der Dauer der Taktimpulse des Taktsignals CLK entspricht. Ist das Regelsignal RS kleiner als das Referenzsignal Vref, so werden keine Ansteuerimpulse erzeugt, wie innerhalb eines Zeitraumes zwischen den Zeitpunkten t1 und t2 dargestellt ist.

Figur 3 zeigt ein Ausführungsbeispiel einer schaltungstechnischen Realisierung einer getakteten Vergleichieranordnung K1 gemäß Figur 1. Hierbei ist ein Komparator K1 vorgesehen, dessen Plus-Eingang das Regelsignal und dessen Minus-Eingang das Referenzsignal Vref zugeführt ist. Ein Ausgangssignal des Komparators K ist einem Set-Eingang S eines RS-Flip-Flops FF zugeführt, das durch das Taktsignal CLK getaktet angesteuert ist. Hierzu ist das Taktsignal CLK einem Takteingang des RS-Flip-Flops FF zugeführt. Das RS-Flip-Flop ist dabei derart ausgebildet, dass es jeweils mit einer steigenden Flanke des Taktsignals CLK das an seinem Set-Eingang S anliegende Signal übernimmt. Weist das Ausgangssignal des Komparators K einen oberen Pegel auf, weil das Regelsignal RS größer als das Referenzsignal Vref ist, so wird mit einer steigenden Flanke des Taktsignals CLK das Flip-Flop FF gesetzt und am Ausgang Q des Flip-Flops steht ein Signal mit einem oberen Ansteuerpegel zur Verfügung. Einem Rücksetz-Eingang R des Flip-Flops FF ist ein mittels eines Verzögerungsglieds D verzögertes Taktsignal zugeführt, wobei das Flip-Flop FF nach Ablauf einer durch das Verzögerungsglied D vorgegebenen Verzögerungszeit nach einer steigenden Flanke des Taktsignals CLK zurückgesetzt wird. Das Verzögerungsglied D bestimmt dabei die Dauer eines erzeugten Ansteuerimpulses, wobei mit einer Ansteuer-schaltung gemäß Figur 3 Ansteuerimpulse erzeugbar sind, die anders als in Figur 2 dargestellt -, kürzer oder länger als halbe Periodendauern des Taktsignals CLK sein können.

Dem Flip-Flop FF ist in dem Ausführungsbeispiel ein Impulsformer IF nachgeschaltet, der aus den am Ausgang des Flip-

Flops Q anliegenden Impulsen, die zwischen einem unteren und einem oberen logischen Pegel wechseln, Ansteuerimpulse AI für den Leistungstransistor T1 erzeugt, die beispielsweise im Hinblick auf eine beim Schalten des Transistors entstehende elektromagnetische Störstrahlung optimiert sind. Figur 4 zeigt beispielhaft die zeitlichen Verläufe eines am Ausgang Q des Flip-Flops FF anliegenden Ausgangssignals Qout und der mittels des Impulsformers IF aus diesen "harten" rechteckigen Impulsen gebildeten Ansteuerimpulse AI mit langsamer ansteigenden und langsamer absinkenden Flanken. Die beim Ein- und Ausschalten des Leistungstransistors entstehende elektromagnetische Störstrahlung kann bei Ansteuerung des Transistors mittels solcher Impulse vermindert werden.

Figur 5 zeigt ein Ausführungsbeispiel einer Regleranordnung zur Bereitstellung eines Regelsignals RS aus dem zu der Ausgangsspannung Uout proportionalen Ausgangsspannungssignal US und einem zweiten Referenzspannungssignals Vref2. Die Regleranordnung weist einen Operationsverstärker OPV auf, dessen Plus-Eingang in dem Ausführungsbeispiel das Referenzspannungssignal Vref2 zugeführt ist und dessen Minus-Eingang das Ausgangsspannungssignal US und ein von einem Ausgang des Operationsverstärkers OPV zurückgekoppeltes Signal zugeführt ist. Zur Rückkopplung des Ausgangssignals auf den Minus-Eingang weist die Regleranordnung eine Schaltungsanordnung mit einem ersten Schalter S1, der in Reihe zu einem Kondensator C2 geschaltet ist, und einem zweiten Schalter S2 auf, wobei der zweite Schalter S2 parallel zu der Reihenschaltung aus dem ersten Schalter S1 und dem Kondensator C2 geschaltet ist. Der erste und zweite Schalter S1, S2 werden nach Maßgabe eines Taktsignals CLK geöffnet und geschlossen, wobei dieses Taktsignal vorzugsweise mit dem Taktsignal übereinstimmt, nach dessen Maßgabe die Vergleicheranordnung in der Ansteuerung AS1 das Regelsignal RS auswertet.

Der in Figur 5 dargestellte Regler besitzt ein proportionales und ein integrales Regelverhalten, wobei der Proportionalan-

teil aus der Rückkopplung des Ausgangssignals über den zweiten Schalter S2 und der Integralanteil aus der Rückkopplung des Ausgangssignals über die Anordnung aus dem ersten Schalter S1 und der Kapazität C2 erfolgt. Die getaktete Ansteuerung des ersten und zweiten Schalters S1, S2 bewirkt, dass das Ausgangsspannungssignal US nur für jeweils durch das Taktsignal CLK vorgegebene Zeitdauern für die Bildung des Regelsignals RS ausgewertet wird.

Eine weitere in Figur 6 dargestellte Ausführungsform der Erfindung sieht eine Regleranordnung vor, bei welcher das Ausgangsspannungssignal US mittels eines Operationsverstärkers OPV mit einem Referenzsignal Vref2 verglichen wird, wobei am Ausgang des Operationsverstärkers ein Differenzsignal DS aus dem Ausgangsspannungssignal US und dem Referenzsignal Vref2 anliegt, wobei dieses Differenzsignal mit sinkender Ausgangsspannung ansteigt. Diesem Operationsverstärker ist gemäß der weiteren Ausführungsform der Erfindung ein hinlänglich bekanntes Noise-Shaping-Filter nachgeschaltet, um Schwankungen des Differenzsignals DS, die aus Schwankungen der Ausgangsspannung resultieren, zu glätten, um so eine Rückkopplung der Schwankungen in dem Regelkreis zu verhindern. Schwankungen des Ausgangssignals resultieren bei dem erfindungsgemäßen Schaltwandler insbesondere daraus, dass der Schaltwandler Energie nur in diskreten durch Form und Dauer der Ansteuerimpulse vorgegebenen Energiemengen aufnimmt. Die Verwendung eines Noise-Shaping-Filters stellt eine wirkungsvolle und einfach zu realisierende Maßnahme dar, die Schwankungen des Differenzsignal DS zu glätten.

Das dargestellte Noise-Shaping-Filter weist zwei hintereinander geschaltete Integrierer IN1, IN2 auf, wobei dem ersten Integrierer IN1 das Differenzsignal DS und dem zweiten Integrierer IN2 das Ausgangssignal des ersten Integrierers IN1 zugeführt ist. Ein Addierer ADD addiert das Differenzsignal DS und die Ausgangssignale der beiden Integrierer und stellt das Regelsignal RS zur Verfügung.

Bei dem erfindungsgemäßen Schaltwandler sind sowohl die Dauer und die Form der Ansteuerimpulse als auch der minimale zeitliche Abstand zwischen zwei Ansteuerimpulsen fest vorgegeben. Der minimale zeitliche Abstand zwischen zwei Ansteuerimpulsen wird durch die Periodendauer des Taktsignals CLK vorgegeben, welches die periodisch wiederkehrenden Zeitpunkte bestimmt, zu denen das Regelsignal RS mit dem Referenzspannungssignal V_{ref} verglichen wird. Der minimale Abstand zwischen zwei Ansteuerimpulsen entspricht der Periodendauer des Taktsignals. Im Übrigen ist die Zeitdauer zwischen zwei Ansteuerimpulsen ein ganzteiliges Vielfaches der Periodendauer des Taktsignals CLK. Das Taktsignal CLK ist dabei so gewählt, dass Ansteuerimpulse mit einer möglichst hohen Frequenz erzeugt werden können, um auf diese Weise eine möglichst feine Abstufung der Leistungsaufnahme bzw. Leistungsabgabe des Schaltwandlers zu erreichen. Andererseits ist die Frequenz des Taktsignals CLK so gewählt, dass die Schaltverluste im Hinblick auf die jeweilige Anwendung in einem erträglichen Rahmen bleiben. Die maximale Leistungsaufnahme des Schaltwandlers wird dann erreicht, wenn der Transistor mit jedem Taktimpuls des Taktsignals eingeschaltet wird. Die Regelung der Leistungsaufnahme erfolgt erfindungsgemäß nur durch eine Entscheidung, ob ein Ansteuerimpuls erzeugt werden soll oder nicht. Die Form und Dauer der Ansteuerimpulse und deren zeitlicher Abstand ist fest vorgegeben.

Figur 6 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Schaltwandlers, der als Abwärts-Wandler oder Buck-Konverter ausgebildet ist. Dabei ist eine Reihenschaltung einer Spule L_2 und eines Kondensators C_2 in Reihe zu einem als Leistungstransistor ausgebildeten Schalter T_2 an eine Versorgungsspannung U_{in} zwischen Klemmen für Versorgungspotential und Bezugspotential M geschaltet. Eine Ausgangsspannung U_{out} ist an Ausgangsklemmen AK_1 , AK_2 abgreifbar, die an Klemmen des Kondensators C_2 angeschlossen sind. Parallel zu

der Reihenschaltung aus der Spule L3 und dem Kondensator C3 ist ein zweiter Schalter T3 geschaltet, der komplementär zu dem ersten Schalter T1 angesteuert ist und der als Freilauf-
element bei sperrendem ersten Schalter T2 wirkt. Der zweite
5 Schalter T3 kann dabei auch durch eine Diode ersetzt werden. Bei diesem Schaltwandler, bei welchem die Anordnung aus der Spule L3 und dem Kondensator C3, sowie dem zweiten Schalter T3 eine Gleichrichteranordnung GL2 bilden, ist keine galvanische Trennung zwischen der Eingangsspannung U_{in} und der Ausgangsspannung U_{out} vorhanden, d.h. beide Spannungen sind auf Bezugspotential M bezogen. Das Ausgangsspannungssignal U_S ist
10 in diesem Fall direkt als Spannung gegen Bezugspotential M an der Ausgangsklemme AK1 abgreifbar.

15 Eine Regleranordnung RA2, der das Ausgangsspannungssignal U_S zugeführt ist, ist in dem Ausführungsbeispiel digital realisiert. Dabei ist das Ausgangsspannungssignal U_S zunächst einer Abtasteinrichtung 10 zugeführt, die das Ausgangsspannungssignal U_S abtastet und in periodischen Zeitabständen Ab-
20 tastwerte des Ausgangsspannungssignals U_S an einem Ausgang zur Verfügung stellt. Diese Abtastwerte des Ausgangsspannungssignals U_S werden in einer der Abtasteinrichtung 10 nachgeschalteten Subtrahiereinheit von einem Referenzsignal REF subtrahiert. Das an einem Ausgang der Subtrahiereinheit
25 12 anliegende zeitdiskrete Differenzsignal wird einem Addierer 14 zugeführt, der eine vorgegebene Anzahl aufeinanderfolgender Werte des zeitdiskreten Differenzsignals aufsummiert, wobei am Ausgang der Summiereinheit 14 ein zeitdiskretes Regelsignal DRS zur Verfügung steht.

30 Dieses zeitdiskrete Regelsignal DRS wird einer Vergleichieranordnung 16 in einer der Regelanordnung RA2 nachgeschalteten Ansteuerschaltung AS2 zugeführt, die das zeitdiskrete Regelsignal DRS Wert für Wert mit einem Referenzsignal REF2 vergleicht, dessen Funktion dem Referenzspannungssignal V_{ref} ge-
35 mäß Figur 2 entspricht. Die Vergleichieranordnung 16 ist derart ausgebildet, dass an ihrem Ausgang ein zweiwertiges zeit-

diskretes Signal zur Verfügung steht, wobei das Ausgangssignal der Vergleichieranordnung 16 einen ersten Wert annimmt, wenn das zeitdiskrete Regelsignal DRS größer als das Referenzsignal REF2 ist und wobei das Ausgangssignal der Vergleichieranordnung 16 einen zweiten Wert annimmt, wenn das zeitdiskrete Regelsignal DRS kleiner als das Referenzsignal REF2 ist. Das zeitdiskrete zweiwertige Ausgangssignal der Vergleichieranordnung 16 wird einem Impulsformer 18 zugeführt, der Ansteuerimpulse einer vorgegebenen Dauer nach Maßgabe des zweiwertigen Ausgangssignals der Vergleichereinheit 16 erzeugt. dabei wird ein Ansteuerimpuls erzeugt, wenn das Ausgangssignal der Vergleichereinheit 16 den ersten Signalwert annimmt, wenn das zeitdiskrete Regelsignal DRS also größer als das Referenzsignal REF2 ist.

Die durch den Impulsformer 18 erzeugten Ansteuerimpulse AI sind vorzugsweise rechteckförmige Impulse, die Pegelwandlern PW1, PW2 zugeführt sind, die jeweils den Gate-Anschlüssen des ersten Transistors T2 und des zweiten Transistors T3 vorgeschaltet sind. Die Pegelwandler PW1, PW2 erzeugen aus den logischen Ansteuerpegeln der Ansteuerimpulse AI des Impulsformers Spannungssignale, die zur Ansteuerung der Transistoren T2, T3 geeignet sind. Die Form der Ansteuerimpulse AI und der durch den ersten Pegelwandler PW1 für den ersten Transistor T2 aus den Ansteuerimpulsen AI erzeugten Spannungsimpulse sind so aufeinander abgestimmt, dass der erste Transistor T2 jeweils für eine vorbestimmte Zeitdauer leitend angesteuert wird, wenn das Ausgangssignal der Vergleichieranordnung 16 einen Signalwert annimmt, der aus einem gegenüber dem Referenzsignal REF2 größeren diskreten Regelsignal RS resultiert. Der erste Schalter wird also dann durch einen Ansteuerimpuls leitend angesteuert, um eine Stromaufnahme für die Spule L3 zu ermöglichen, wenn ein Momentanwert des zeitdiskreten Regelsignals DRS größer als das Referenzsignal REF2 ist.

Der zweite Pegelwandler PW2 erzeugt aus den Ansteuerimpulsen AI Ansteuersignale für den zweiten Transistor T3, die so ge-

wählt sind, dass der zweite Transistor T3 immer sperrt, wenn der erste Transistor T2 leitet, und umgekehrt.

Patentansprüche

1. Schaltwandler, der folgende Merkmale aufweist:

- 5 - einen Schalter (T1; T2) mit einem Steueranschluss (G) und einem ersten und zweiten Lastanschluss (D, S),
- eine an den Schalter (T1; T2) angeschlossene Gleichrichter-anordnung (GL1; GL2) mit Ausgangsklemmen (AK1, AK2), an denen
10 eine Ausgangsspannung (Uout) für eine Last (RL) zur Verfügung steht,
- eine Regleranordnung (RA1, RA2), die ein von der Ausgangs-
spannung (Uout) abhängiges Regelsignal (RS; DRS) bereit-
15 stellt,
- eine Ansteuerschaltung (AS1; AS2), die Ansteuerimpulse be-
reitetstellt, nach deren Maßgabe der Schalter (T1; T2) leitet
oder sperrt,

20

d a d u r c h g e k e n n z e i c h n e t, dass

die Ansteuerschaltung (AS1; AS2) gleiche Ansteuerimpulse er-
zeugt, deren Häufigkeit von dem Regelsignal (RS; DRS) abhän-
25 gig ist.

2. Schaltwandler nach Anspruch 1, bei dem die Ansteuerschal-
tung (AS1; AS2) Ansteuerimpulse (AI) von gleicher Dauer und
gleichem zeitlichen Abstand abhängig davon erzeugt, ob das
30 Regelsignal (RS) größer oder kleiner als ein Referenzsignal
(Vref; REF2) ist.

3. Schaltwandler nach Anspruch 1 oder 2, bei dem die Regler-
anordnung einen Proportional-Regler, einen Proportional-
35 Integral-Regler oder einen Integral-Regler aufweist.

4. Schaltwandler nach einem der vorangehenden Ansprüche, bei dem die Ansteuerschaltung (AS1) eine getaktete Vergleicheranordnung (K1) aufweist, der das Regelsignal (RS), das erste Referenzsignal (Vref) und ein Taktsignal (CLK) zugeführt sind.

5. Schaltwandler nach Anspruch 4, bei der die getaktete Vergleicheranordnung im Takt des Taktsignals (CLK) Ansteuerimpulse (AI) einer vorgegebenen Zeitdauer erzeugt, wenn das Regelsignal (RS) größer als das erste Referenzsignal (Vref) ist.

6. Schaltwandler nach einem der vorangehenden Ansprüche, bei dem die Regleranordnung (RA2) eine digitale Regleranordnung ist, die ein zeitdiskretes Regelsignal (DRS) zur Verfügung stellt.

7. Schaltwandler nach Anspruch 6, bei dem die Ansteuerschaltung (AS2) eine digitale Vergleicheranordnung (16) und ein der digitalen Vergleicheranordnung (16) nachgeschaltetes Impulsformungsfilter (18) aufweist, wobei an einem Ausgang des Impulsformungsfilters (18) die Ansteuerimpulse (AI) zur Verfügung stehen.

8. Schaltwandler nach einem der vorangehenden Ansprüche, bei dem die Regleranordnung ein Noise-Shaping-Filter (NSF) aufweist, dem ein von der Ausgangsspannung abhängiges Signal zugeführt ist.

9. Schaltwandler nach einem der vorangehenden Ansprüche, bei der die Ansteuerimpulse (AI) einem Eingang eines Pegelwandlers zugeführt sind, an dessen Ausgang der Steueranschluss (G) des Schalters (T1; T2) angeschlossen ist.

10. Schaltwandler nach einem der vorangehenden Ansprüche, bei der die Gleichrichteranordnung (GL1; GL2) eine in Reihe zu dem Schalter (T1; T2) geschaltete Spule aufweist.

11. Verfahren zur Ansteuerung eines Schalters (T1; T2) der an eine Gleichrichteranordnung (GL1; GL2), an der eine Ausgangsspannung (Uout) zur Verfügung steht, in einem Schaltwandler
5 angeschlossen ist, wobei das Verfahren folgende Merkmale aufweist:

- Erzeugen eines von der Ausgangsspannung (Uout) abhängigen Regelsignals (RS),

10

- Erzeugen eines Ansteuersignals mit einer Folge von jeweils gleichen Ansteuerimpulsen (AI), wobei die Häufigkeit der Ansteuerimpulse (AI) von dem Regelsignal abhängig ist.

12. Verfahren nach Anspruch 11, bei dem das Regelsignal (RS) einen Signalanteil aufweist, der durch Integration eines Differenzsignals aus einem zu der Ausgangsspannung (Uout) proportionalen Signals (US) und eines Referenzsignals (Vref2; REF) gebildet ist.

20

13. Verfahren nach Anspruch 11, bei dem das Regelsignal (RS; DRS) einen Signalanteil aufweist, der proportional zu der Ausgangsspannung (Uout) ist.

14. Verfahren nach einem der Ansprüche 10 bis 12, bei dem die Ansteuerimpulse im Takt eines Taktsignals (CLK) abhängig davon, ob das Regelsignal (RS) größer oder kleiner als ein Referenzwert ist, gebildet werden.

Zusammenfassung

Schaltwandler und Verfahren zur Ansteuerung eines Schalters
in einem Schaltwandler

5

Die vorliegende Erfindung betrifft einen Schaltwandler, der einen Schalter (T1; T2) mit einem Steueranschluss (G) und einem ersten und zweiten Lastanschluss (D, S), eine an den Schalter (T1; T2) angeschlossene Gleichrichteranordnung (GL1; GL2) mit Ausgangsklemmen (AK1, AK2), an denen eine Ausgangsspannung (Uout) für eine Last (RL) zur Verfügung steht, eine Regleranordnung (RA1, RA2), die ein von der Ausgangsspannung (Uout) abhängiges Regelsignal (RS; DRS) bereitstellt, und eine Ansteuerschaltung (AS1; AS2), die Ansteuerimpulse bereitstellt, nach deren Maßgabe der Schalter (T1; T2) leitet oder sperrt, aufweist. Erfindungsgemäß erzeugt die Ansteuerschaltung (AS1; AS2) in Übereinstimmung mit einem erfindungsgemäßen Verfahren gleiche Ansteuerimpulse erzeugt, deren Häufigkeit von dem Regelsignal (RS; DRS) abhängig ist.

20

Figur 1

Bezugszeichenliste

	RA1	Regleranordnung
	RS	Regelsignal
5	AS1	Ansteuerschaltung
	CLK	Taktsignal
	K1	getaktete Vergleicheranordnung
	Vref	Referenzspannungssignal
	AI	Ansteuerimpulse
10	Uin	Eingangsspannung
	M	Bezugspotenzial
	T1, T2, T3	Transistoren
	L1	Primärspule
	L2	Sekundärspule
15	TR	Transformator
	GL1	Gleichrichteranordnung
	D1	Diode
	C1	Kondensator
	AK1, AK2	Ausgangsklemmen
20	RL	Last
	Uout	Ausgangsspannung
	R1, R2	Widerstände
	V2	Versorgungspotenzial
	PT	Fototransistor
	LED	Leuchtdiode
	OK	Optokoppler
	K	Komparator
	FF	Flip-Flop
	IF	Impulsformer
30	D	Verzögerungsglied
	Qout	Ausgangssignal des Flip-Flop
	S1, S2	Schalter
	C2	Kondensator
	OPV	Operationsverstärker
35	Vref	Referenzspannung
	10	Abtasteinheit
	12	Subtrahiereinheit

	14	Summierer
	RA2	Regleranordnung
	AS2	Ansteuerschaltung
	18	Impulsformer
5	16	Vergleicheranordnung
	PW1, PW2	Pegelwandler
	L3	Spule
	C3	Kondensator
	GL2	Gleichrichteranordnung
10		

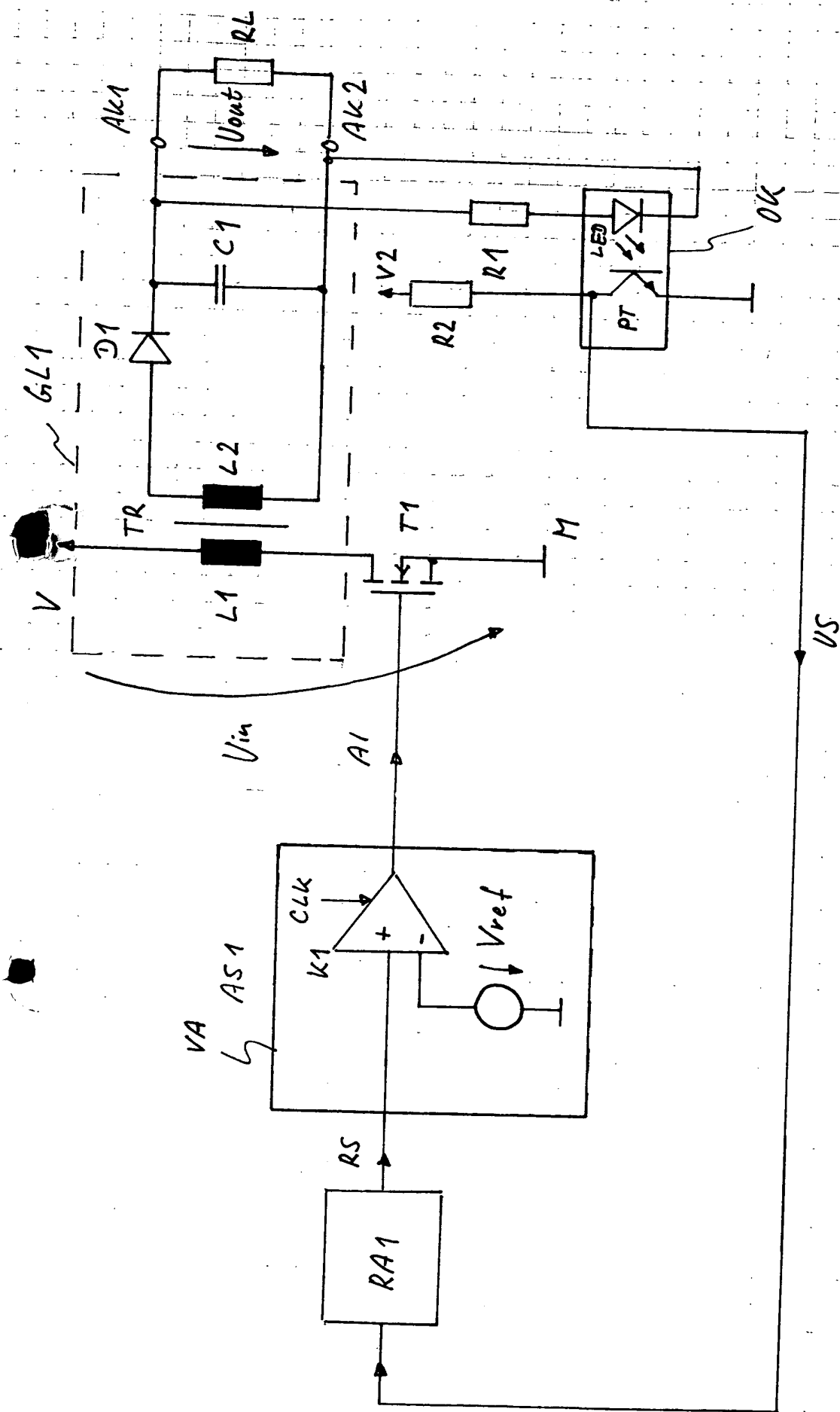


Fig. 1

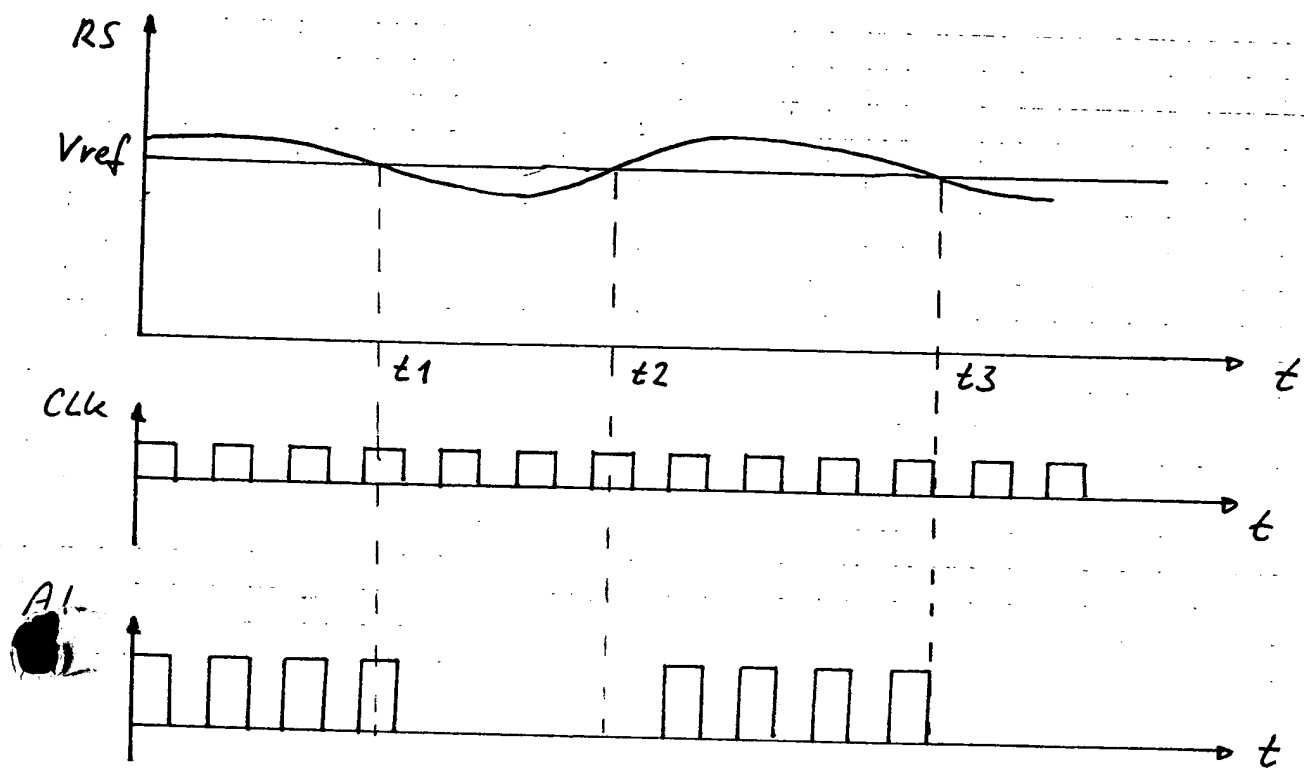


FIG. 2

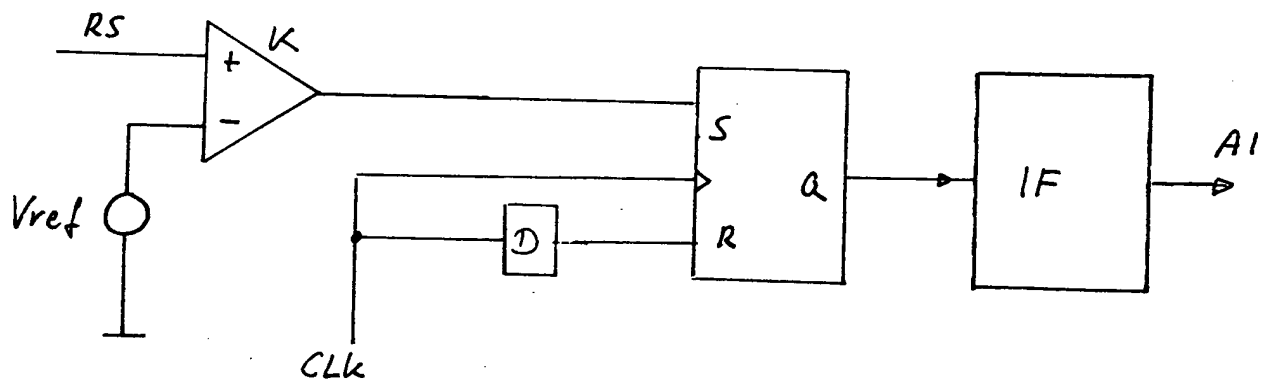


FIG. 3

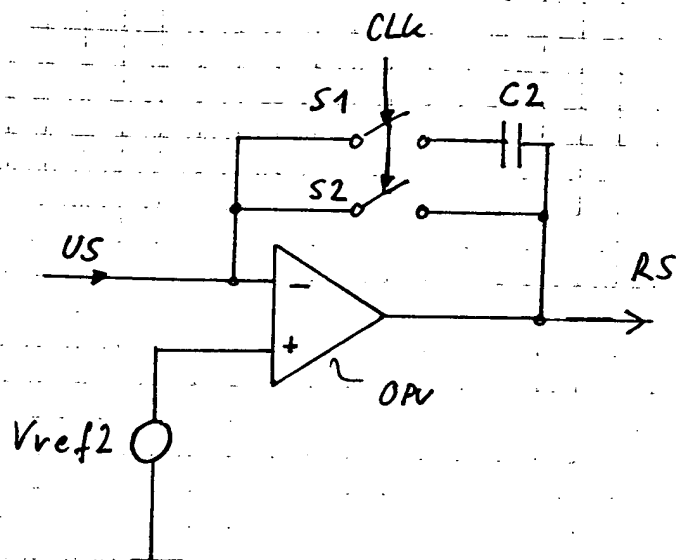


FIG. 5

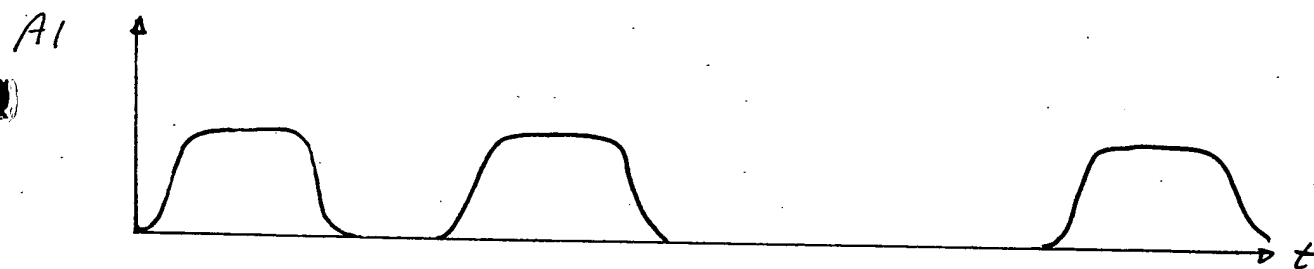
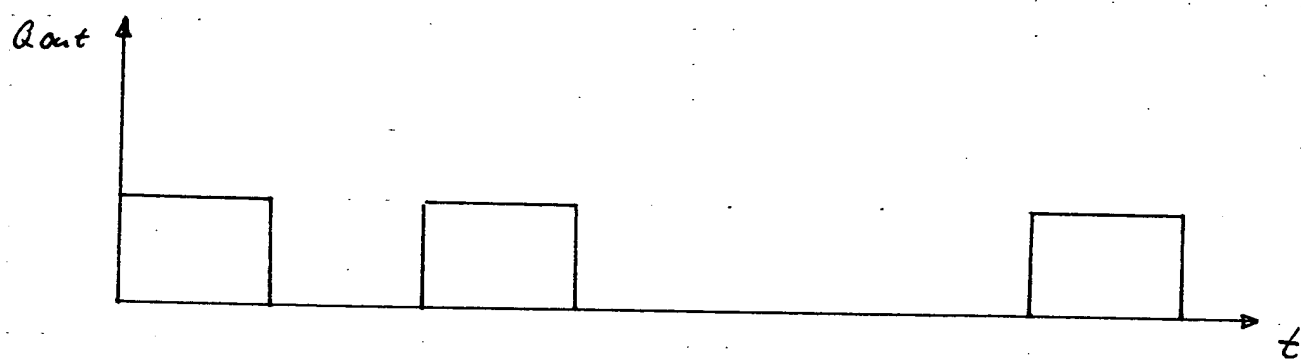


FIG. 4

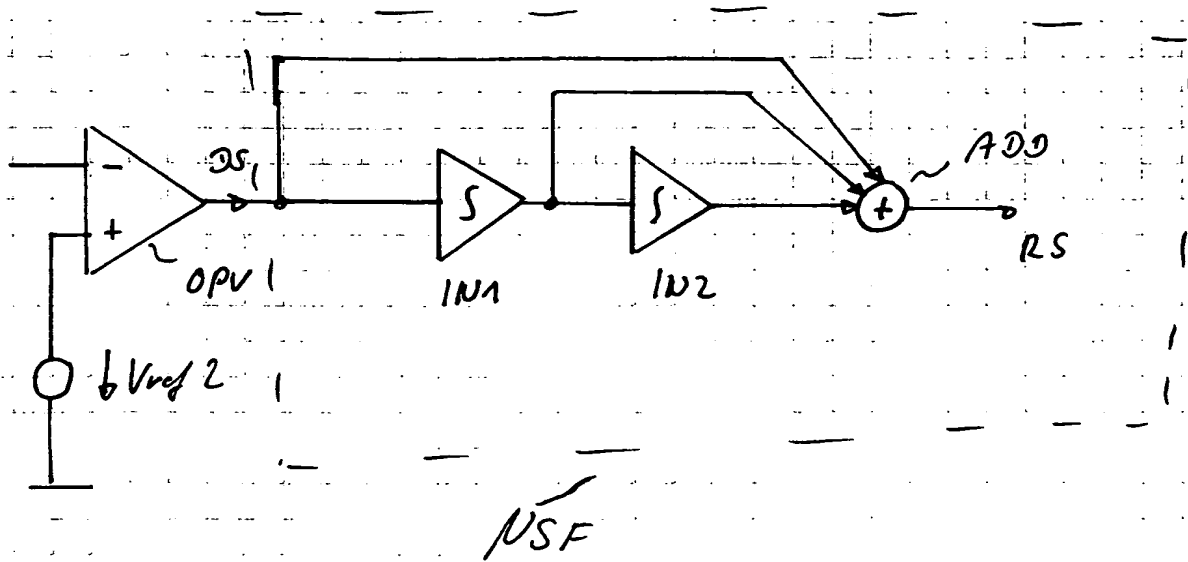


FIG. 6

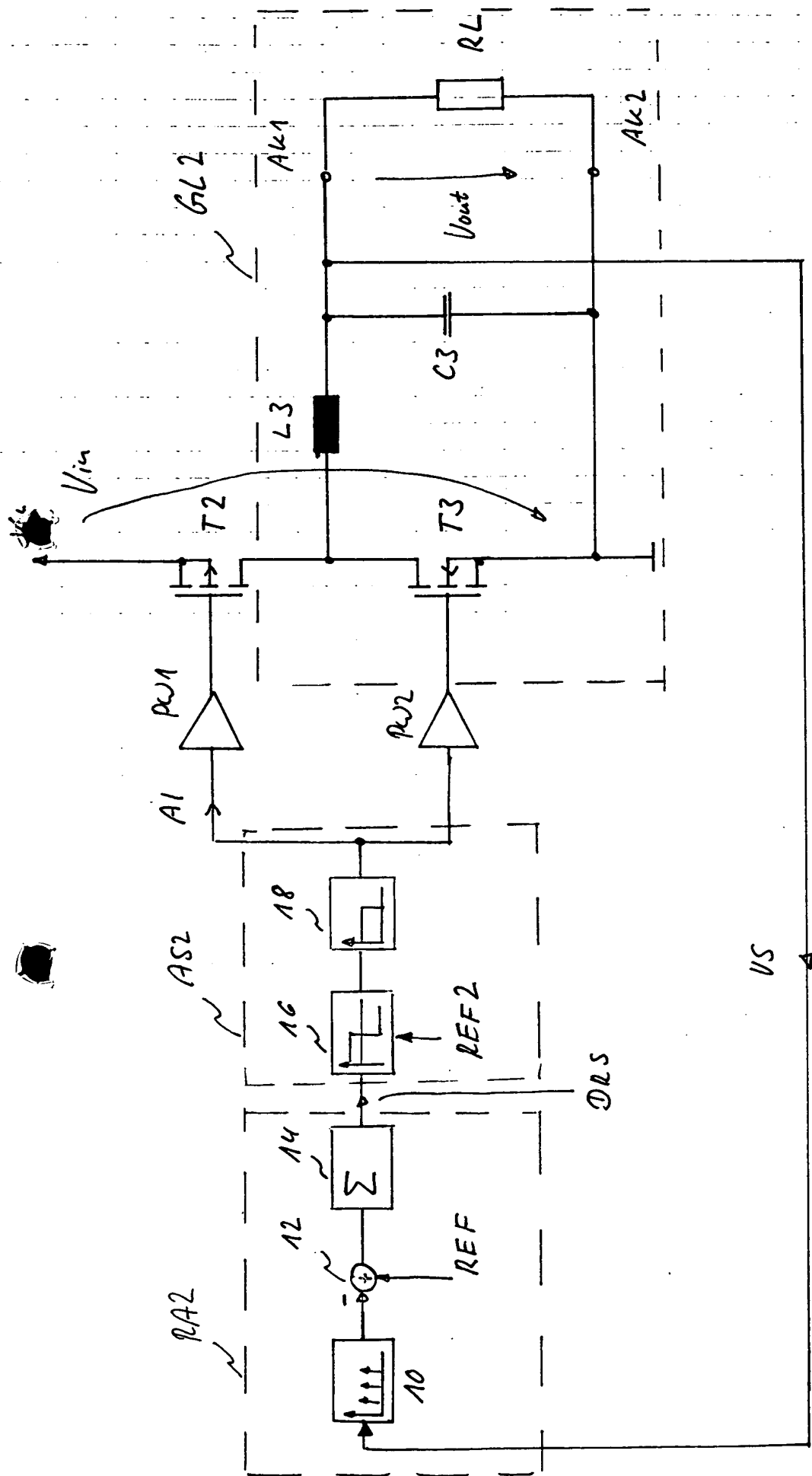


Fig. 7